

250 4/8/87
25G 022 233

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

RECEIVED

In re application of:

MAY 04 1987

Masao TAGUCHI

GROUP 230

Serial No: 016,611

Group Art Unit: 250

Filed: February 19, 1987

RECEIVED

For: DYNAMIC RANDOM ACCESS MEMORY
HAVING TRENCH CAPACITOR

JUN 11 1987

GROUP 250

CLAIM TO PRIORITY UNDER 35 U.S.C. 119

Honorable Commissioner
Washington, D. C. 20231

May 1, 1987

Sir:

The benefit of the filing date of the following prior foreign applications is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appln. No. 61-036361
dated February 20, 1986

Japanese Patent Appln. No. 61-045822
dated March 3, 1986

In support of this claim, the requisite certified copies of said original foreign applications are filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledges receipt of these documents.

In the event that any fees are due with this paper, please charge our Deposit Account No. 01-2395.

Respectfully submitted,

ARMSTRONG, NIKAI DO, MARME LSTEIN & KUBOVCIK

By:

Charles M. Marmelstein
Attorney for Applicant
Registration No. 25,895

Atty. Docket No.
P21-698-AM87145

Suite 912
1725 K Street, N. W.
Washington, D. C. 20006
Tel (202) 659-2930

CMM:cmt

Enclosure: Priority Documents 61036361 & 61-045822

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

RECEIVED

JUN 11 1987

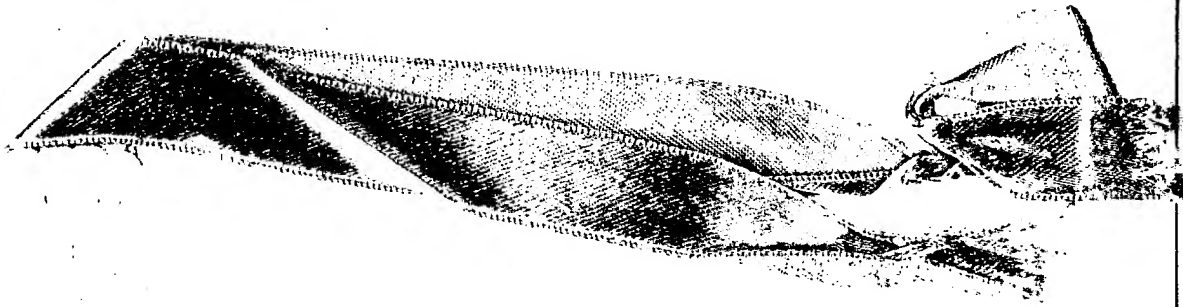
GROUP 250

別紙添付の書類は下記の出願書類の謄本に相違ないことを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日 1 9 8 6 年 3 月 3 日
Date of Application:

出 願 番 号 昭 和 6 1 年 特 許 願 第 4 5 8 2 2 号
Application Number:

出 願 人 富 士 通 株 式 会 社
Applicant (s):

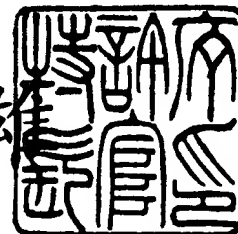


1 9 8 7

6 日

特許庁長官
Director-General,
Patent Office

黒田明雄



出証昭 6 2 - 3 2 7 7

ENGLISH TRANSLATION OF THE COVER SHEET

PATENT OFFICE
JAPANESE GOVERNMENT

RECEIVED

JUN 11 1987

GROUP 250

This is to certify that the annexed is a true copy of the following
application as filed with this Office.

Date of Application : March 3 , 19 86

Application Number : Japanese Patent Application
No. 61-45822

Applicant(s) : FUJITSU LIMITED

February 6 , 19 87

Director-General ,

Patent Office Akio Kuroda

(9500円)

国際特許分類	
サブクラス	グループ
H01L	27/04

特 許 原 頁 (2)

昭和 年 月 日

61.3.3

特 許 庁 長 官 殿

1. 発明の名称

ダイナミックランダムアクセスメモリ

2. 発明者住所

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

氏名 田 口 眞 男

3. 特許出願人 郵便番号 211

住 所 神奈川県川崎市中原区上小田中1015番地

(522) 名 称 富士通株式会社

代 表 者 山 本 卓 眞

4. 代 理 人 郵便番号 211

住 所 神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(7259) 氏 名 井 理 士 井 桁 貞 一

電話 川崎 (044) 433-5341



5. 添付書類の目録

(1) 明 細 書 面 状 本
(2) 図 任
(3) 委 副
(4) 願 書 副

1 通
1 通
1 通
1 通

明 細 書

1. 発明の名称

ダイナミックランダムアクセスメモリ

2. 特許請求の範囲

1. 一導電型半導体基体の表面から内部に向かって形成された溝または孔の内壁面に被着された一導電型を有する第1の導電層をキャパシタの対向電極とし、該第1の導電層を有する該溝または孔の内部を誘電体層を介して埋める反対導電型を有する第2の導電層を蓄積電極とする蓄積キャパシタと、

該半導体基体に該蓄積キャパシタに隣接して配設され、一方のソース／ドレイン領域が該蓄積電極に電氣的に接続されてなるM I S トランジスタとによって構成され、

該蓄積キャパシタの第1の導電層の上端部が該M I S トランジスタのソース／ドレイン領域の底面より低い位置あり、且つ該第1の導電層の上端部と該ソース／ドレイン領域の底面との間に離間

部を有してなることを特徴とするダイナミックランダムアクセスメモリ。

2. 上記第1の導電層の上端部と該ソース／ドレイン領域の底面との間の離間部に絶縁層が介在せしめられてなることを特徴とする特許請求の範囲第1項記載のダイナミックランダムアクセスメモリ。

3. 発明の詳細な説明

〔目 次〕

概要

産業上の利用分野

従来技術

発明が解決しようとする問題点

問題点を解決するための手段

作用

実施例

第1の実施例の模式図（第1図）

第2の実施例の模式図（第2図）

製造方法の工程図（第3図）

従来構造例の模式図 (第4図)

発明の効果

〔概 要〕

トレンチキャパシタを有するダイナミックランダムアクセスメモリ（以下略してDRAMと記す）セルにおいて、半導体基体に形成したトレンチの内壁面に被着した第1の導電層を対向電極とし、トレンチ内に誘電体層を介して埋込まれた第2の導電層を蓄積電極とする蓄積キャパシタを有する構造において、対向電極の上端部をセルトランジスタのソース／ドレイン領域の底面より低く離し、該離間部に絶縁層を介在せしめて、セルトランジスタのソース／ドレイン接合の耐圧の低下を防止する。

〔産業上の利用分野〕

本発明は高集積、高性能のDRAMセルの構造に関する。

トレンチキャパシタはキャパシタ部が立体的

(溝状) に構成されたMOS 構造で、256KビットDRAMまで一般的に用いられてきたプレーナ型セルに比べて、実効的なキャパシタ面積を広くとることができるため、小型で大きな蓄積容量が得られる特徴がある。

然しながら、トレンチキャパシタは以下に説明する問題点を有し、更に小型で蓄積容量が大きく、高集積化しても隣接キャパシタ間でのパンチスルーが起こらない構造が要望される。

(従来の技術)

第4図はトレンチキャパシタセルの従来例を示す模式側断面図である。

図において、51は半導体基板でp型珪素(p-Si)基板、52はセル領域を画定するフィールド絶縁層で二酸化珪素(SiO_2)層、53は蓄積電極で反転層を形成する電子、54は誘電体層、55は多結晶珪素(ポリSi)層よりなるセルプレート(対向電極)で、反転層53、誘電体層54、セルプレート55により蓄積キャパシタが構成される。

56はゲート絶縁層、57はポリSiよりなるワード線、58A、58Bは高濃度不純物導入領域でn⁺型ソース／ドレイン領域である。該ソース／ドレイン領域58A、58Bと、ワード線57をゲートとしてMISトランジスタ(FET)が構成される。

そして、ソース／ドレイン領域58Aとコンタクトし、且つ基板上においてワード線57と垂直方向に、例えばアルミニウム(Al)よりなるビット線59が形成される。

この場合、蓄積キャパシタとMISトランジスタとの接続はソース／ドレイン領域58Bと反転層53間で行われ、従って基板側の反転層53が情報電荷を蓄積する蓄積電極となる。

該DRAMセルは図の右側に示されるように、近傍部に隣接セルの蓄積キャパシタがフィールド絶縁膜52を隔てて形成されている。点線は基板内に拡がった空乏層の先端を表し、同図には隣接するキャパシタ同士がパンチスルーを起こしている状態が示されている。

このような従来のトレンチキャパシタセルは、

プレーナ型のセルに比べ高集積化に有利ではあるが、以下に示すような欠点を有していた。

① 書込み電圧の損失

蓄積キャパシタはトレンチ内に形成されたMOS構造の反転層53とセルプレート55間の容量を用いるため、反転層53を形成するための閾値電圧分だけセルプレート電圧よりも低下した電圧までしか書き込めず、電源電圧を有効に利用できない。

② キャパシタ間のパンチスルー

上記電圧損失を小さくするためには、基板の不純物濃度を低くしなければならないが、低過ぎると図示のように空乏層の拡がりによって隣接セルのトレンチキャパシタとの間でパンチスルーを起こし、キャパシタ間が電氣的に結合して蓄積情報の信頼度が損なわれる。

また、トレンチ内の表面に沿って基板と逆導電型の領域を形成する、いわゆるHi-Cキャパシタの構造にすれば電圧損失の問題はなくなるが、この逆導電型領域の拡散深さ分だけ隣接トレンチキャパシタ間の間隔が縮まったことになり、パンチス

○
ルーの危険性は増す。

更にこの際、トレンチ側壁に不純物を導入するプロセスは、イオン注入で出来ないため製造が極めて困難である。

③ ソフトエラー

基板中に蓄積電極（反転層）53から空乏層が広く拡がり基板中に発生した小数キャリアを捕獲し易く、例えば α 線入射によるソフトエラーを起こし易い。

以上のような欠点がトレンチキャパシタの実用化に対して大きな障害となっていた。

〔発明が解決しようとする問題点〕

本発明が解決しようとする問題点は、上記のように従来のトレンチキャパシタを有するDRAMセルにおいて生じていた、隣接する蓄積キャパシタ間のパンチスルー、ソフトエラーの問題、及びセルプレート配設による集積度の低下の問題と、更には上記を解決する際に生ずるセルトランジスタのソース／ドレイン接合の耐圧低下の問題である。

〔問題点を解決するための手段〕

上記問題点は、一導電型半導体基体の表面から内部に向かって形成された溝または孔の内壁面に被着された一導電型を有する第1の導電層をキャパシタの対向電極とし、該第1の導電層を有する該溝または孔の内部を誘電体層を介して埋める反対導電型の第2の導電層を蓄積電極とする蓄積キャパシタと、該半導体基体に該蓄積キャパシタに隣接して配設され、一方のソース／ドレイン領域が該蓄積電極に電氣的に接続されてなるMISトランジスタとによって構成され、該蓄積キャパシタの第1の導電層の上端部が該MISトランジスタのソース／ドレイン領域の底面より低い位置あり、且つ該第1の導電層の上端部と該ソース／ドレイン領域の底面との間に離間部を有して~~成る~~なる本発明によるダイナミックランダムアクセスメモリによって解決される。 2字削除

〔作 用〕

即ち本発明のDRAMセルは、トレンチの基体側に

被着した高不純物濃度の第1の導電層を蓄積キャパシタの対向電極とし、トレンチ内に誘電体層を介して埋込まれた第2の導電層を蓄積電極とすることにより、蓄積電極を基体から分離して隣接するトレンチキャパシタ間の結合をなくし、これによってDRAMセルの高性能化、高集積化を図ると共に、トレンチキャパシタの高不純物濃度を有する対向電極の上端部とセルトランジスタのトレンチキャパシタ側のソース／ドレイン領域底面との間を離し、必要に応じて該離間部に絶縁層を介在させてソース／ドレイン接合の耐圧低下を防止するものである。

〔実施例〕

以下本発明を、図示実施例により具体的に説明する。

第1図は本発明の第1の実施例によるトレンチキャパシタセルを模式的に示す平面図(a)及び断面図(b)、第2図は本発明の第2の実施例によるトレンチキャパシタセルを模式的に示す断面図、

A-A矢視
断面

1字削除
5字加入

平面図及びA-A矢視

1字削除
10字加入

第3図(a)～(f)は本発明に係るトレンチキャパシタ
セルの製造方法の一例を示す工程平面図及び工程 7^{字加入}
断面図である。

第1図(a)及び(b)において、

1は半導体基体でp-Si基板、

3はセル領域を画定するフィールド絶縁層で
SiO₂層、

4はフィールド領域を含んで形成された溝（ト
レンチ）、

5はトレンチの開口部からd₁の深さの領域を除
く内面全域に形成された第1の導電層でp⁺型の
ポリSiよりなるセルプレート（対向電極）、

6は主として窒化珪素(Si₃N₄)よりなる誘電体
層、

7はトレンチ内に誘電体層を介し埋込まれた第
2の導電層でn⁺型のポリSiよりなる蓄積電極で
ある。

セルプレート5、誘電体層6、蓄積電極7で蓄
積キャパシタが形成される。

8はゲート絶縁層でSiO₂層、

9A, 9B は d_2 の深さを有する n^+ 型ソース／ドレイン(S/D)領域、

9Cはソース／ドレイン領域と同時に形成された n^+ 型領域。

10A はチタンシリサイド($TiSi_2$)層よりなる自己セルのワード線(ゲート電極)、

10B は同じく隣接するセルのワード線である。

p-Si基板1、ゲート絶縁層8、 n^+ 型S/D領域9A, 9B、ワード線10Aにより該メモリセルのトランジスタ(セルトランジスタ)が構成される。

11は SiO_2 絶縁層、

12A は n^+ 型ポリSi層よりなる第3の導電層、

12B は第3の導電層でトランジスタのS/D領域、例えば9Bと蓄積キャパシタの蓄積電極7を電氣的に接続する n^+ 型のポリSi層、これにより蓄積キャパシタとセルトランジスタが接続されDRAMセルが構成される。

13は層間絶縁層、

14は配線コンタクト窓、

15は S/D領域9Aに第3の導電層9Aを介してコンタクトし、層間絶縁層上にワード線と直交する方向に延在せしめられるアルミニウム(Al)よりなるビット線を示す。

同図に示すように本発明に係るトレンチキャパシタセルにおいては、トランジスタの S/D領域9Bと蓄積キャパシタの蓄積電極7との電氣的接続は第3の導電層12(12B)によつてなされる。

従つてトレンチ4内の第2の導電層7が情報電荷を蓄積する蓄積電極となり、基板側の第1の導電層5がセルプレート(対向電極)となり、従来と逆になる。

そして、上記トランジスタの S/D領域9Bと蓄積キャパシタの蓄積電極7とを接続する第3の導電層即ち n^+ 型ポリSi層12(12B)は、ワード線10A、10B間に表出せしめたSi面に選択気相成長させることにより、マスクプロセスを用いずに、ワード線に自己整合して形成される。

これによりセルの微細化、高集積化が図れる。

更に本発明の構造においては、トレンチ 4 の壁面に被着される p^+ 型ポリ Si 層よりなるセルプレート 5 の上端部が、セルトランジスタの n^+ 型 S/D 領域 9B の底面の深さ d_2 よりも深いトレンチの開口端から d_1 の距離の位置に抑えられ、セルプレート 5 と S/D 領域 9B の底面との間に離間部が設けられる。

これにより高不純物濃度の n^+ 型 S/D 領域 9B と高不純物濃度の p^+ 型セルプレート 5 が直に接することがなくなるので、S/D 領域の接合耐圧の低下が防止される。

第 2 図 (a) 及び (b) は第 2 の実施例を示したものである。

該実施例が第 1 の実施例と異なる点は、 n^+ 型 S/D 領域 9B と p^+ 型セルプレート 5 との離間部に該誘電体層 6 より厚い例えば 1000~2000 Å 程度の熱酸化形成による SiO_2 絶縁層 16 を配設したことである。

その他の部分は第 1 の実施例と同様で、各部は第 1 図と同符号で示してある。

この構造は上記のように厚く絶縁耐圧の高い熱酸化 SiO_2 絶縁層16が n^+ 型S/D領域9Bと p^+ 型セルプレート5との離間部に介在せしめられるので、S/D領域の接合耐圧は一層高まる。

次に上記本発明に係るトレンチキャパシタセルの製造方法の概略を、第2の実施例について、第3図(a)～(f)に示す工程平面図と工程断面図及び第1図を参照して説明する。

第3図(a)参照

先ず p -Si基板1面の素子形成領域上に選択酸化用の耐酸化膜として、例えば Si_3N_4 層（または Si_3N_4 と SiO_2 との複合層）2を形成し、これをマスクにしてSi基板1を酸化し、フィールド絶縁層として厚さ4000 Åの SiO_2 層3を形成する。

第3図(b)参照

次いで通常のリソグラフィとリアクティブ・イオンエッチング(RIE)を用いて、フィールド絶縁層3の一部を含めて耐酸化領域に深さ例えば3～4 μmのトレンチ4を形成し、再度熱酸化を行ってトレンチ4の内壁に厚さ300 Å程度の緩衝用Si

O_2 層17を形成する。次いで CVD法により全面に厚さ1000 Å程度の Si_3N_4 層18を被着し、プラズマエッチング法によって等方的にエッチングすると、基板表面及びトレンチ4開口部付近の Si_3N_4 層18は除去されトレンチ4の底部近傍領域の壁面に耐酸化膜として機能する Si_3N_4 層18が残留する。

第3図(c)参照

次いで上記 Si_3N_4 層18をマスクにして選択酸化を行い、トレンチ4の底部近傍を除く内壁面に厚さ1000 Å程度の SiO_2 絶縁層16を形成する。

第3図(d)参照

Si_3N_4 層2及び18を除去し、これら Si_3N_4 層下部の SiO_2 層を除去してp-Si基板1の上面及びトレンチ4の底部近傍領域の内壁面を表出させた後、トレンチ4の内壁面を含む基板面全面にCVD法により硼素を高濃度にドーピングした厚さ1000 Å程度のp⁺型ポリSi層を形成し、等方性エッチング（プラズマエッチング）を行ってトレンチ4内のみにp⁺型ポリSi層5を残留せしめる。

このとき、上記p⁺型ポリSi層5の上端はトレ

ンチ 4 の開口端からセルトランジスタの S/D 領域の深さより大きい距離 d_1 だけ奥にあることが本発明の中心的要素である。この d_1 の値は、 $0.2 \sim 1 \mu\text{m}$ 程度である。

なお、ここでトレンチ内面に p^+ 型ポリ Si 層 5 を形成するのは、トレンチ壁面に基板と同一の導電型で且つ高不純物濃度の領域を作ることを目的としており、これによって基板部分がセルプレート役目をするようになる。

第 3 図 (e) 参照

次いで上記 p^+ 型ポリ Si 層 5 を有するトレンチ 4 の内面を含む全面に誘電体層として厚さ例えば 100 \AA 程度の Si_3N_4 層（または SiO_2 層、またはこれらの複合層）6 を酸化、または成長によって形成する。

この膜は酸素雰囲気中でアニールすることにより、絶縁耐圧が向上することが知られている。

次いで、トレンチ 4 内を含む基板 1 上に、トレンチを十分に埋める程度の厚さに磷を高濃度にドーピングした n^+ 型ポリ Si 層を成長し、次いで等方性

のエッチング手段により基板上の該ポリSi層を選択的に除去し、トレンチ4内を上記誘電体層6を介して埋める n^+ 型ポリSi層7を形成する。この n^+ 型ポリSi層7即ち第2の導電層は蓄積電極として機能する。

第3図(f)参照

次いでトレンチ4外に表出する誘電体層6を除去しSi基板1面を露出させた後、通常のMOSトランジスタの形成方法に従い基板1の表面を酸化し、ゲート絶縁層として厚さ例えば280Å程度の SiO_2 層8を形成する。この際900℃程度の低温で酸化を行うと、 n^+ 型ポリSi層（蓄積電極）7表面の SiO_2 層8は600Å程度の厚さになる。

次いで該主面上に例えば4000Å程度の厚さにチタンシリサイド($TiSi_2$)等のゲート材料となる物質を被着し、次いでその上に厚さ1500Å程度の SiO_2 層11Aを被着し、パターンニングを行って SiO_2 層11Aを上部に有する $TiSi_2$ ワード線パターンを形成し、次いで該主面上に再び1500Å程度の SiO_2 層11Bを形成し、異方性エッチング手段によりワ

ード線パターンの上面及び側面に SiO_2 層11A 若しくは SiO_2 層11B を残留せしめ（以上公知の技術）、表面が絶縁層となる SiO_2 層11(11A、11B) に覆われた TiSi_2 よりなるワード線10A, 10B 等を形成する。この際ワード線に覆われないSi基板1面及びトレンチ4に埋込まれたポリSi層7の表面は露出される。

次いで通常の方法によりワード線（ゲート電極）10A をマスクにして磷または砒素を選択的にイオン注入して n^+ 型ソース／ドレイン領域9A及び9Bを形成する。この際トレンチ4内に埋込まれた n^+ 型ポリSi層7にも n^+ 型の不純物導入領域9Cが形成される。

第1図(a)及び(b)参照

次いで通常を選択気相成長手段により上記基板上に厚さ4000 Å程度の磷を高濃度にドーブした n^+ 型のポリSi層の選択成長を行う。

この際 SiO_2 層11及び3上にはポリSi層は成長せず、Si面が表出するソース／ドレイン領域6A, 6B及び n^+ 型ポリSi層7即ち蓄積電極上面の n^+ 領域

域9C上に n^+ 型ポリSiよりなる第3の導電層12A及び12Bが形成される。なお表出している誘電体層6及び SiO_2 絶縁層16の端部には該 n^+ 型ポリSi層は成長しないが、その厚さが2000Åに満たないのでソース／ドレイン領域6B上のポリSi層と蓄積電極7上のポリSi層とは連続した第3の導電層12Bとなり、ソース／ドレイン領域6Bと蓄積電極7の導通がとられる。

そして以後通常の方法により、基板全面に層間絶縁層13を被着し、ビット線がセルにコンタクトするソース／ドレイン領域6A上にコンタクト窓14を開け、Al等よりなるビット線15を形成する。

以上のようにして完成した本発明に係るメモリセルは、次のような特徴を有する。

- ① 蓄積キャパシタのセルプレート（対向電極）は基板自体（詳しくは基板に直に被着された基板と同導電型の導電層）である。このため基板を接地すれば対向電極電位は極めて安定し、いわゆる電圧バンプによる動作マージンの減少や誤動作がない。

② 基板は1つの大きな等電位の電極板であって、キャパシタ間がどんなに接近してもその間の干渉が一切ない。

この干渉とは、キャパシタ間のパンチスルーによる電荷のリーク、及びキャパシタ間が空乏層で接することによって一方のキャパシタで起こった充電・放電による電位変化が静電結合により他のキャパシタに及んで、その蓄積電荷量を変調してしまうことである。

③ 蓄積電極は絶縁層で囲まれ、基板内に空乏層を大きく広げることがないため、ソフトエラーの障害を起し難い。

④ 蓄積キャパシタは n^+ 型ポリSi層～誘電体層～ p^+ 型ポリSi層よりなり、反転層を用いていないので書込み電圧の損失はない。

⑤ n^+ 型半導体～誘電体層～ p^+ 型半導体 構造のキャパシタでは、蓄積電極に電圧が加わると半導体側に空乏層が発生する。

n^+ 、 p^+ の濃度が低いと空乏層は誘電体層に重なり、蓄積容量が電圧依存性を持って実効的容

量が減ってしまうという不利な一面を持っているが、 n^+ 、 p^+ の濃度を高くすると大きな欠点にはならない。

この構造はむしろ、規定以上の高電圧が加えられた時に、空乏層が伸びて絶縁層中の電界を緩和するので、キャパシタがブレイクダウンしにくく、耐圧が高くとれる利点がある。

⑥ この構造は、トランジスタのソース／ドレイン領域の下にキャパシタが埋込まれて形成されるため、メモリセルはほぼトランジスタ1個分の大きさでセル自体が従来に比べ大幅に縮小され、且つ従来セルにおいて基板上に形成されていたセルプレートがないのでセルプレートとキャパシタ及びトランジスタ間の位置合わせのための寸法余裕をとる必要がないので、メモリセルは一層小型になる。

そして更に本発明の構造を有するトレンチキャパシタセルにおいては、トレンチの内壁面に形成される高不純物濃度の例えば p^+ 型対向電極の上端部を反対導電型の n^+ 型S/D領域の底面より深

い位置に制御することにより n^+ 型 S/D 領域と p 型対向電極とが直に接しないようにすると共に、その離間部に絶縁層が介在せしめられるので、基板側を対向電極とするトレンチキャパシタセルで発生しがちな S/D 領域の接合耐圧の低下が防止される。

なお、本発明の構造は上記実施例に限らず、エピタキシャル層、ウエル内に形成されるトレンチキャパシタ構造の DRAM セルにも適用される。

また上記実施例と反対導電型の DRAM セルにも勿論適用される。

〔発明の効果〕

以上説明したように本発明によれば、安定性の高い、キャパシタ間の干渉のない、キャパシタ耐圧の高い、微細化、高集積化が可能なトレンチキャパシタ構造の DRAM セルが得られ、且つセルトランジスタのソース／ドレイン領域の接合耐圧の低下が防止される。

4. 図面の簡単な説明

第1図は本発明の第1の実施例によるトレンチ
キャパシタセルを模式的に示す平面図(a)及び断面
面図(b)、
A-A矢視
1字削除
5字加入

第2図は本発明の第2の実施例によるトレンチ
キャパシタセルを模式的に示す平面図(a)及び断面
面図(b)、第3図(a)～(f)は本発明に係るトレンチキ
ャパシタセルの製造方法の一例を示す工程平面図
及び工程断面図、
A-A矢視
1字削除
5字加入
第2の実施例の
7字加入

第4図はトレンチキャパシタセルの従来例を示
す模式側断面図である。

図において、

- 1 は半導体基板でp-Si基板、
- 3 はフィールド絶縁膜層でSiO₂層、
- 4 は溝（トレンチ）、
- 5 は第1の導電層でp⁺型のポリSiよりなる
セルプレート（対向電極）、
- 6 は窒化珪素(Si₃N₄)よりなる誘電体層、
- 7 は第2の導電層でn⁺型のポリSiよりなる

蓄積電極、

8 はゲート絶縁層で SiO_2 層、

9A, 9B は n^+ 型ソース／ドレイン(S/D)領域、

9Cは n^+ 型領域。

10A は自己セルのワード線（ゲート電極）、

10B は隣接するセルのワード線、

11は SiO_2 絶縁層、

12A、12B は n^+ 型ポリSi層よりなる

第3の導電層、

13は層間絶縁層、

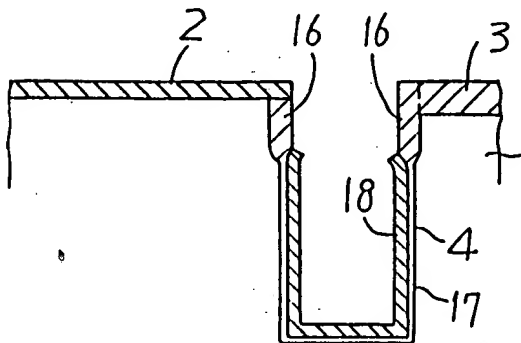
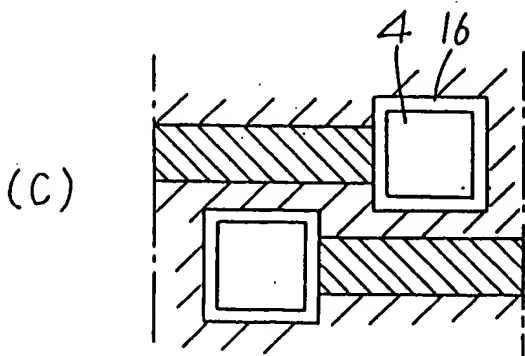
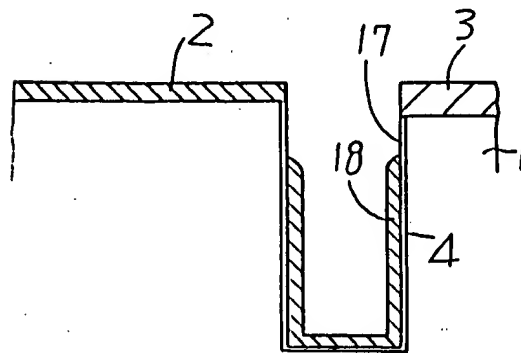
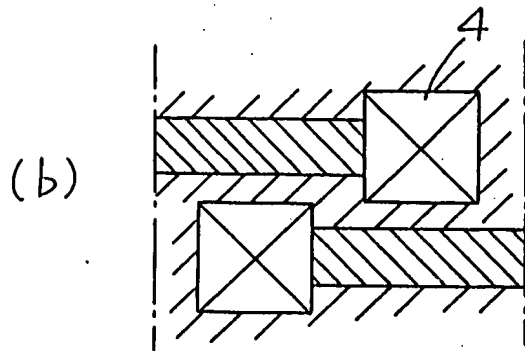
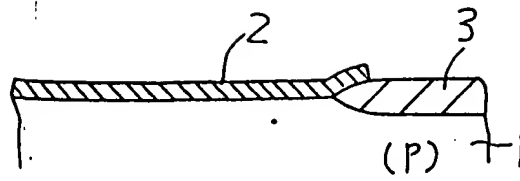
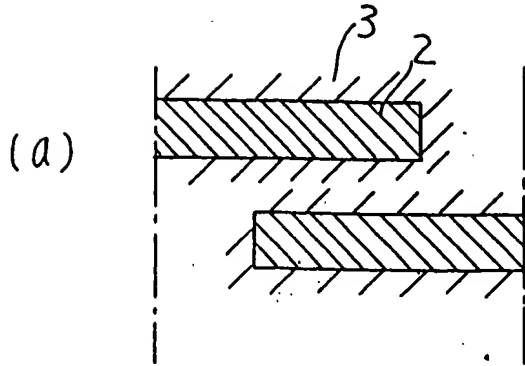
14は配線コンタクト窓、

15はビット線、

16は SiO_2 絶縁層、

を示す。

代理人 弁理士 井桁貞一

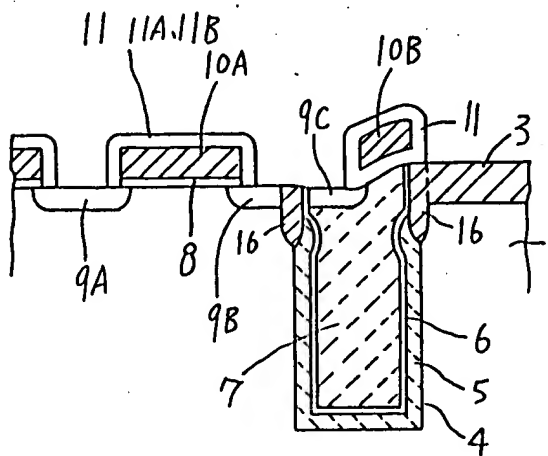
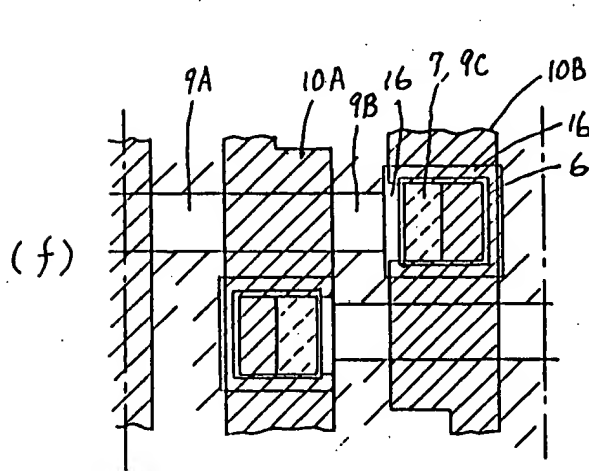
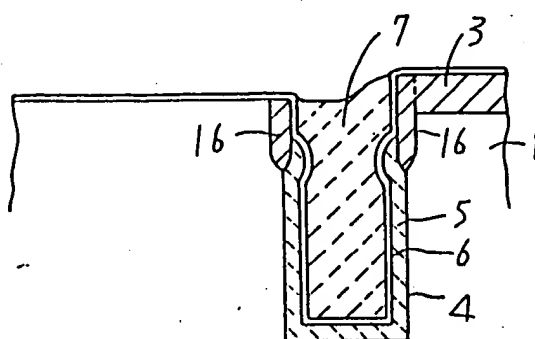
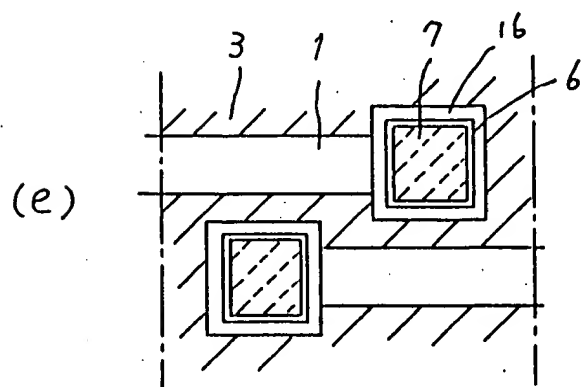
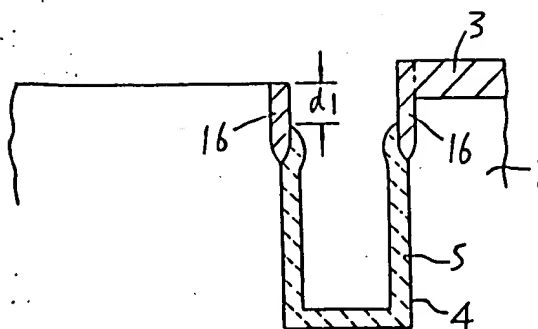
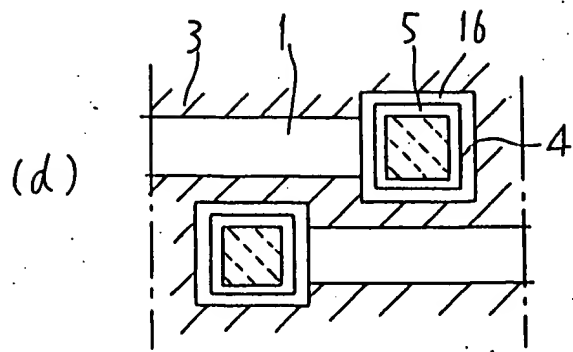


平面図

断面図

本発明の第2の実施例の製造方法を示す
工程平面図及び工程断面図

第3図



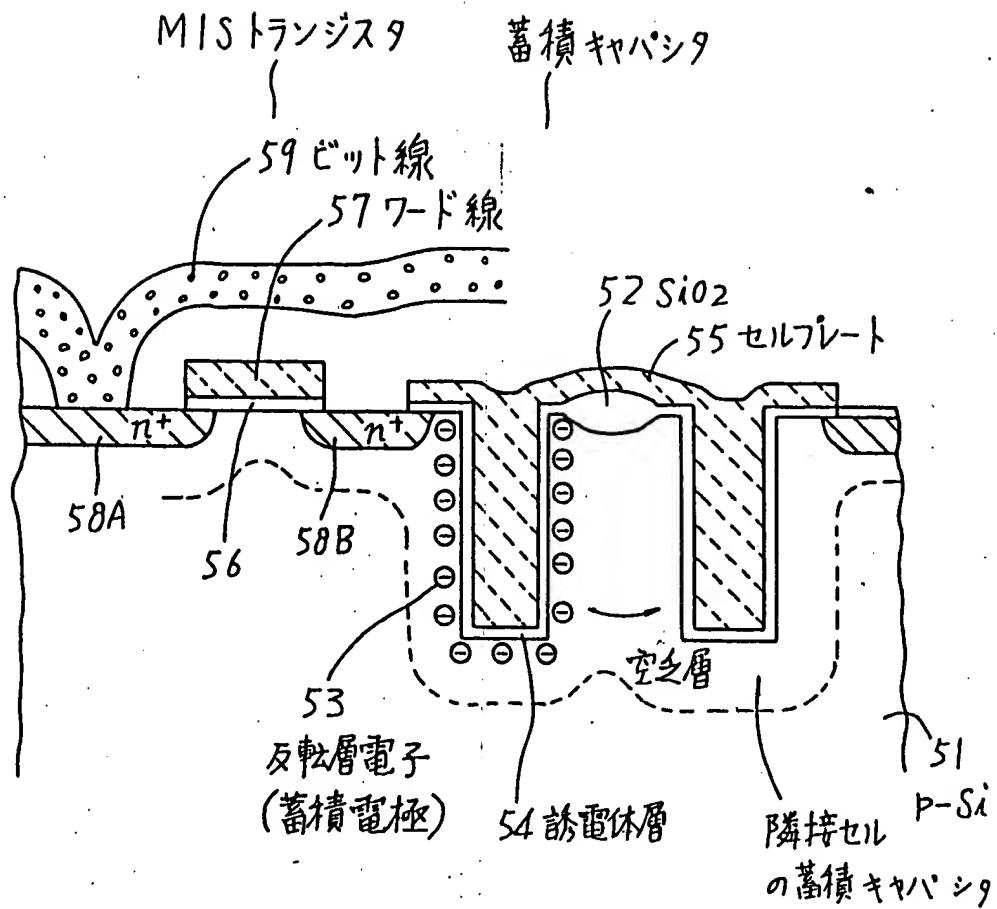
平 面 図

断 面 図

本発明の第2の実施例の製造方法を示す

工程平面図及び工程断面図

第 3 図



従来のトレンチキャパシタセルの模式側断面図

第 4 回